

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

ATTORNEY DOCKET NO. 016907/1122

Handwritten notes: #2, priority, 6-21-01, Jones

Vertical stamp: Jc564 U.S. PTO 09/653898 09/01/00

Applicant: Masahiko KASASHIMA

Title: HIGH-SPEED MEMORY DEVICE, SOCKET MOUNTING STRUCTURE FOR MOUNTING A HIGH-SPEED MEMORY DEVICE AND MOUNTING METHOD OF MOUNTING HIGH-SPEED MEMORY DEVICE

Appl. No.: Unassigned

Filing Date: 09/01/2000

Examiner: Unassigned

Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 11-278225 filed September 30, 1999.

Respectfully submitted,

September 1, 2000
Date

Johnny A. Kumar
Johnny A. Kumar
Attorney for Applicant
Registration No. 34,649

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5489
Facsimile: (202) 672-5399

Kasashima
016907/1122

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 1999年 9月30日

出 願 番 号
Application Number: 平成11年特許願第278225号

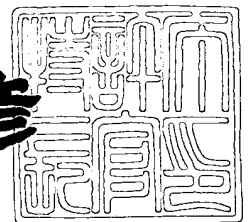
出 願 人
Applicant(s): 株式会社東芝



2000年 6月 9日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3044250

【書類名】 特許願

【整理番号】 A009903592

【提出日】 平成11年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/00

【発明の名称】 高速メモリ装置、高速メモリ装置のソケット実装構造、
及び高速メモリ装置の実装方法

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都青梅市末広町 2 丁目 9 番地 株式会社東芝青梅工
場内

 【氏名】 笠島 雅彦

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高速メモリ装置、高速メモリ装置のソケット実装構造、及び高速メモリ装置の実装方法

【特許請求の範囲】

【請求項 1】 メモリコントローラから導出されるメモリバス信号を受ける入力側端子と前記メモリバス信号を次段に導出する出力側端子とを一辺に並設したコネクタを有してなる扁平状の高速メモリモジュールを複数個接続して構成される高速メモリ装置に於いて、少なくとも 2 つの高速メモリモジュールのコネクタ相互を少なくとも一部を対向して平面的に配置して、前記各高速メモリモジュールに設けられたコネクタの入力側端子と出力側端子とを縦続接続したことを特徴とする高速メモリ装置。

【請求項 2】 メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一辺に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、

第 1 の高速メモリモジュールと第 2 の高速メモリモジュールのコネクタ相互の少なくとも一部を対向して平面的に配置し、第 1 の高速メモリモジュールの出力側端子を第 2 の高速メモリモジュールの入力側端子に接続したことを特徴とする高速メモリ装置。

【請求項 3】 メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一辺に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、

第 1 の高速メモリモジュールと第 2 の高速メモリモジュールのコネクタ相互の一部を対向して平面的に配置し、対向していないコネクタ部分の近傍に、メモリコントローラ、クロックジェネレータ、終端抵抗モジュールの少なくともいずれかを配置して、前記第 1 の高速メモリモジュールの出力側端子を第 2 の高速メモリモジュールの入力側端子に接続し、前記第 1 の高速メモリモジュールの入力側端子にメモリコントローラを接続し、第 2 の高速メモリモジュールの出力側端子

に、終端抵抗モジュール及びクロックジェネレータ、又は第3の高速メモリモジュールの入力側端子を接続してなることを特徴とする高速メモリ装置。

【請求項4】 メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一边に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、

第1の高速メモリモジュールと第2の高速メモリモジュールのコネクタ相互を対向して平面的に配置し、当該コネクタ相互の間に、メモリコントローラ、クロックジェネレータ、終端抵抗モジュールの少なくともいずれかを配置して、前記第1の高速メモリモジュールの出力側端子を第2の高速メモリモジュールの入力側端子に接続し、前記第1の高速メモリモジュールの入力側端子にメモリコントローラを接続し、第2の高速メモリモジュールの出力側端子に、終端抵抗モジュール及びクロックジェネレータ、又は第3の高速メモリモジュールの入力側端子を接続してなることを特徴とする高速メモリ装置。

【請求項5】 高速メモリモジュール相互の高速信号の回路接続を多層回路基板の表層パターンを用いて行う請求項1または2または3記載の高速メモリ装置。

【請求項6】 メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一边に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、

コネクタ相互の少なくとも一部を近接させて基板両面にそれぞれ高速メモリモジュールを平面的に配置し、前記基板の一方面に設けられた高速メモリモジュールの出力側端子を前記基板のスルーホールを介し前記基板の他方面に設けられた高速メモリモジュールの入力側端子に接続してなることを特徴とする高速メモリ装置。

【請求項7】 インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を同一辺に並設したコネクタを有する扁平状の高速メモリモジュールを実装する複数ソケットの実装構造に於いて、

ソケット相互の少なくとも一部が背合わせとなるようにモジュール挿入方向を互いに離反させて基板面に実装したことを特徴とする高速メモリ装置のソケット実装構造。

【請求項 8】 インピーダンスがコントロールされた複数ビット幅の高速信号を扱う 2 組の端子を一辺に並設したコネクタを有し、表面に金属カバーを有してなる扁平状の高速メモリモジュールを複数個接続して構成される高速メモリ装置の実装方法に於いて、少なくとも 2 つの高速メモリモジュール相互のコネクタ間の高速信号配線を高速メモリモジュールの金属カバー面を避け、多層回路基板の表層パターンを用いて行うことを特徴とする高速メモリ装置の実装方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子及び出力側端子を一辺に並設してなる扁平状の高速メモリモジュールを複数個接続して構成される高速メモリ装置に関する。

【0 0 0 2】

また本発明は、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う 2 組の端子を一辺に並設したコネクタを有し、表面に金属カバーを有してなる扁平状の高速メモリモジュールを複数個接続して構成される高速メモリ装置の実装方法に関する。

【0 0 0 3】

【従来の技術】

メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子及び出力側端子を一辺に並設してなる扁平状の高速メモリモジュールを複数個接続して構成される高速メモリ装置として、例えば、S O - R I M M (米国 R a m b u s 社が提唱するノート型パーソナルコンピュータ向けの R I M M (Rambus Inline Memory Module)) の実装技術により実現されるメモリ装置がある。

【0004】

SO-RIMMは、ソケット（SO-RIMMソケット）を用い、[メモリコントローラ] - [SO-RIMMソケット1] - [SO-RIMMソケット2] - [終端抵抗] と直線的に配置するようなレイアウトが一般となっている。また一定のインピーダンス精度が必要なRambus信号は、8層以上の多層回路基板を用い、当該基板の内層にインピーダンスの整合を保って配線される。

【0005】

このSO-RIMMの外装構造を図5に示す。図5に於いて、SO-RIMM 50は、矩形扁平状をなし、その一辺に、メモリコントローラから終端抵抗に至るRambus信号の入力側端子と出力側端子とを並設したコネクタ51a, 51bが設けられ、モジュール表面に金属製のカバー（保護を兼ねたヒートスプレッター）52が設けられる。

【0006】

上記したような構造をなすSO-RIMMが、SO-RIMMソケットを用いて、SO-RIMM相互間、及びSO-RIMMと、メモリコントローラ、終端抵抗モジュール、クロックジェネレータ等との間で回路接続される。

【0007】

一般には図6に示すように、メモリコントローラ（MEM-CONT）61と、SO-RIMMソケット62Aに実装されたSO-RIMM63Aと、SO-RIMMソケット62Bに実装されたSO-RIMM63Bと、終端抵抗モジュール（RM）64とが直線的に配置するようになっている。尚、クロックジェネレータ（CLK-Gen）65は終端側のSO-RIMMから高速クロック信号を供給し一巡する。

【0008】

また、図6に於いて、各ユニット間を帯状につないでいるのは、一定のインピーダンス精度が要求されるRambus信号のマザーボード上のパターン配線（71, 72, 73）であり、この一定のインピーダンス精度が要求されるRambus信号はマザーボード（多層回路基板）の内層を使って配線するようになっている（パターン配線71, 72の波線部分参照）。使用するマザーボードの層

数は8層以上が推奨され、R a m b u s 信号は $28\Omega \pm 10\%$ の精度で引くことが要求される。

【0009】

しかしながら8層の多層回路基板は、コストが高く、また、内層にR a m b u s 信号を引くことは表層に引く場合と比べインピーダンスの精度を出すことが困難となっている。即ち、一般に多層回路基板に於いて、決められた所定のインピーダンス精度を出す際、内層と表層とでは、表層の方がパターンの精度が出せるためインピーダンス制御も容易であり、内層はパターン精度が出し難く、かつ隣接層のパターン配線、スルーホール等に大きな影響を受けることからインピーダンス制御が表層に比べて難しい。

【0010】

この際、基板のコスト高を抑えるために、8層より層の薄い例えば4層や6層の基板を用いてR a m b u s 信号を表層配線すると、図6に示すように、S O - R I M M が実装される部分の下を表層の信号パターンが走ることになってしまう。ところが、S O - R I M M は、図5に示したように、金属カバーで覆われているため、表層の信号パターンは金属カバーの影響を受けて適正なインピーダンスを維持できなくなってしまう、従ってS O - R I M M 実装時には決められた $28\Omega \pm 10\%$ の条件を満たすことができなくなってしまう。この影響により高速のR a m b u s 信号は反射等により波形の乱れが生じて、正しい信号の伝播が困難になり、動作上に於いて一定の信頼性を保つことができなくなるという問題が生じる。

【0011】

【発明が解決しようとする課題】

上記したように従来では、複数のS O - R I M M を縦続接続して高速メモリ装置を実現しようとする際、8層以上の多層回路基板を用い、R a m b u s 信号を内層を通して実現するようになっているために、コストが大幅に上昇してしまうという問題があり、更に内層にR a m b u s 信号を引くことは表層に引く場合と比べインピーダンスの精度を出すことが難しく、従って設計上の難しさ及び製造上の高精度要求に伴う歩留低下から製品コストの上昇を招くという種々の問題が

あった。

【0012】

本発明は上記実情に鑑みなされたもので、安価な多層回路基板構成でメモリバス信号を一定のインピーダンスを保ち高速メモリモジュール間で縦続接続できる高速メモリ装置、高速メモリ装置のソケット実装構造、及び高速メモリ装置の実装方法を提供することを目的とする。

【0013】

また、本発明は、多層回路基板の表層パターンを用いてインピーダンスの一定した複数ビット幅の高速信号を複数の高速メモリモジュール間で縦続接続でき、これにより、安価な多層回路基板構成にて安定した高速メモリ動作が行える高速メモリ装置、高速メモリ装置のソケット実装構造、及び高速メモリ装置の実装方法を提供することを目的とする。

【0014】

また、本発明は、複数のSO-RIMMを用いて高速メモリ装置を実現する際に、コスト的に有利な層数の少ない安価なマザーボードを使用して、その表層に、決められた所定のインピーダンス精度が必要なRambus信号を配線し、SO-RIMMを実装してもマザーボード上のRambus信号パターンに影響を与えることなく、安価な層構成のマザーボードでSO-RIMMを安定して動作させることができる、高速メモリ装置、高速メモリ装置のソケット実装構造、及び高速メモリ装置の実装方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明は、インピーダンスがコントロールされた複数ビット幅の高速信号（例えばRambus信号）を扱う2組の端子を一辺に並設したコネクタを有し、表面に金属カバーを有してなる扁平状の高速メモリモジュール（例えばSO-RIMM）を複数個接続して構成される高速メモリ装置を実現する際に、少なくとも2つの高速メモリモジュール相互のコネクタ間の高速信号配線を高速メモリモジュールの金属カバー面を避け、多層回路基板の表層パターンを用いて行うことで、4層、6層等の回路基板（マザーボード）を使用して、表層に複数ビット幅の

高速信号（例えば R a m b u s 信号）を引き、R a m b u s 信号配線のインピーダンスへの影響を防止したことを特徴とする。

【0016】

即ち、本発明は、メモリコントローラから導出されるメモリバス信号を受ける入力側端子と前記メモリバス信号を次段に導出する出力側端子とを一辺に並設したコネクタを有してなる扁平状の高速メモリモジュールを複数個接続して構成される高速メモリ装置に於いて、少なくとも2つの高速メモリモジュールのコネクタ相互を少なくとも一部を対向して平面的に配置して、前記各高速メモリモジュールに設けられたコネクタの入力側端子と出力側端子とを縦続接続したことを特徴とする。

【0017】

また、本発明は、メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一辺に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、第1の高速メモリモジュールと第2の高速メモリモジュールのコネクタ相互の少なくとも一部を対向して平面的に配置し、第1の高速メモリモジュールの出力側端子を第2の高速メモリモジュールの入力側端子に接続したことを特徴とする。

【0018】

また、本発明は、メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一辺に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、第1の高速メモリモジュールと第2の高速メモリモジュールのコネクタ相互の一部を対向して平面的に配置し、対向していないコネクタ部分の近傍に、メモリコントローラ、クロックジェネレータ、終端抵抗モジュールの少なくともいずれかを配置して、前記第1の高速メモリモジュールの出力側端子を第2の高速メモリモジュールの入力側端子に接続し、前記第1の高速メモリモジュールの入力側端子にメモリコントローラを接続し、第2の高速メモリモジュールの出力側端子に、終端抵抗モジュール及びクロックジェネレータ

、又は第 3 の高速メモリモジュールの入力側端子を接続してなることを特徴とする。

【0019】

また、本発明は、メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一边に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、第 1 の高速メモリモジュールと第 2 の高速メモリモジュールのコネクタ相互を対向して平面的に配置し、当該コネクタ相互の間に、メモリコントローラ、クロックジェネレータ、終端抵抗モジュールの少なくともいずれかを配置して、前記第 1 の高速メモリモジュールの出力側端子を第 2 の高速メモリモジュールの入力側端子に接続し、前記第 1 の高速メモリモジュールの入力側端子にメモリコントローラを接続し、第 2 の高速メモリモジュールの出力側端子に、終端抵抗モジュール及びクロックジェネレータ、又は第 3 の高速メモリモジュールの入力側端子を接続してなることを特徴とする。

【0020】

また、本発明は、上記高速メモリ装置に於いて、上記高速メモリモジュール相互の高速信号の回路接続を多層回路基板の表層パターンを用いて行うことを特徴とする。

【0021】

また、本発明は、メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一边に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、コネクタ相互の少なくとも一部を近接させて基板両面にそれぞれ高速メモリモジュールを平面的に配置し、前記基板の一方面に設けられた高速メモリモジュールの出力側端子を前記基板のスルーホールを介し前記基板の他方面に設けられた高速メモリモジュールの入力側端子に接続してなることを特徴とする。

【0022】

また、本発明は、インピーダンスがコントロールされた複数ビット幅の高速信

号を扱う入力側端子と出力側端子を同一辺に並設したコネクタを有する扁平状の高速メモリモジュールを実装する複数ソケットの実装構造に於いて、ソケット相互の少なくとも一部が背合わせとなるようにモジュール挿入方向を互いに離反させて基板面に実装したことを特徴とする。

【0023】

また、本発明は、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う2組の端子を一辺に並設したコネクタを有し、表面に金属カバーを有してなる扁平状の高速メモリモジュールを複数個接続して構成される高速メモリ装置の実装方法に於いて、少なくとも2つの高速メモリモジュール相互のコネクタ間の高速信号配線を高速メモリモジュールの金属カバー面を避け、多層回路基板の表層パターンを用いて行うことを特徴とする。

【0024】

上記したような手段により高速メモリ装置を実現することにより、コスト的に有利な例えば4層や6層のマザーボードを使用して、表層に決められた所定のインピーダンス精度が必要な高速メモリバス信号を配線し、マザーボード上に高速メモリモジュールを実装してもマザーボード上の高速メモリバス信号パターンに影響を与えない、低層の安価なマザーボードで高速メモリモジュールを安定して動作させることができる。

【0025】

具体例を挙げると、SO-RIMMを複数用いて高速メモリ装置を実現する際に、8層のマザーボードを使用することなく、コスト的に有利な4層や6層のマザーボードを使用して、表層に決められた所定のインピーダンス精度が必要なRambus信号を配線し、そのマザーボード上にSO-RIMMを実装してもマザーボード上のRambus信号パターンに影響を与えない、コスト的に有利なマザーボード構成でSO-RIMMを安定して高速動作させることができる。

【0026】

【発明の実施の形態】

以下図面を参照して本発明の実施形態を説明する。ここでは、高速メモリ装置を構成する複数の高速メモリモジュールをSO-RIMM、インピーダンスがコ

ントロールされた複数ビット幅の高速信号を R a m b u s 信号として構成及び作用を説明する。

【 0 0 2 7 】

図 1 は本発明の第 1 実施形態に於ける、2 つの S O - R I M M を用いて構成される高速メモリ装置のマザーボード上に於ける実装構造を示す図であり、ここではマザーボードを省略して示している。

【 0 0 2 8 】

図中、1 1 は D i r e c t R a m b u s メモリのコントローラとなるメモリコントローラ (M E M - C O N T) 、1 2 A は前段の S O - R I M M が実装される S O - R I M M ソケット、1 2 B は後段の S O - R I M M が実装される S O - R I M M ソケット、1 3 A は S O - R I M M ソケット 1 2 A に実装された前段の S O - R I M M 、1 3 B は S O - R I M M ソケット 1 2 B に実装された後段の S O - R I M M 、1 4 は R a m b u s 信号の終端抵抗となる終端抵抗モジュール (R M) 、1 5 はクロックジェネレータ (C L K - G e n) 、1 6 は終端側から供給される R a m b u s 用のクロック信号線である。T I は上記 S O - R I M M 1 2 A 、1 2 B に設けられたコネクタの入力側端子、T O は同コネクタの出力側端子である。

【 0 0 2 9 】

1 7 はメモリコントローラ (M E M - C O N T) 1 1 から S O - R I M M ソケット 1 2 A に実装された前段の S O - R I M M 1 3 A に設けられたコネクタの入力側端子 T I に R a m b u s 信号を受け渡すマザーボード上の表層のパターン配線である。

【 0 0 3 0 】

1 8 は S O - R I M M ソケット 1 2 A に実装された前段の S O - R I M M 1 3 A に設けられたコネクタの出力側端子 T O から、S O - R I M M ソケット 1 2 B に実装された後段の S O - R I M M 1 3 B に設けられたコネクタの入力側端子 T I に R a m b u s 信号を受け渡すマザーボード上の表層のパターン配線である。

【 0 0 3 1 】

1 9 は S O - R I M M ソケット 1 2 B に実装された後段の S O - R I M M 1 3

Bに設けられたコネクタの出力側端子TOに終端抵抗モジュール(RM)14を接続するためのマザーボード上の表層パターン配線である。

【0032】

また、上記各パターン配線17, 18, 19に示す一方向矢印はそれぞれRambus信号の受け渡し方向を示している。

【0033】

上記図1に示す実装構造に於いては、前段のSO-RIMM13Aを実装するSO-RIMMソケット12Aと、後段のSO-RIMM13Bを実装するSO-RIMMソケット12Bとがそれぞれコネクタの片方分ずつずらせて背合わせとなるように配置される。

【0034】

即ち、換言すると、前段のSO-RIMM13Aに設けられたコネクタの出力側端子TOと、後段のSO-RIMM13Bに設けられたコネクタの入力側端子TIとが至近距離で対向するように、SO-RIMMソケット12A、及びSO-RIMMソケット12Bをマザーボード上に配置する。

【0035】

このような配置及び信号配線とすることにより、メモリコントローラ(MEM-CONT)11からSO-RIMMソケット12A、SO-RIMMソケット12AからSO-RIMMソケット12B、SO-RIMMソケット12Bから終端抵抗モジュール(RM)14のいずれのパターン配線17, 18, 19に於いても、SO-RIMMソケット12Aに実装される前段のSO-RIMM13A、及びSO-RIMMソケット12Bに実装される後段のSO-RIMM13Bのエリア(SO-RIMMの少なくとも金属カバーのエリア)をRambus信号が通過しないため、SO-RIMMの金属カバー(図5参照)によるインピーダンス($28\Omega \pm 10\%$)への影響を避けることができる。

【0036】

従って4層や6層の比較的コストの安い多層回路基板をマザーボードに用いることができ、装置全体のコスト低減が図れる。

【0037】

また、上記した実施形態の実装構造によれば、マザーボードの表層に R a m b u s 信号の各パターン配線 17, 18, 19 を設けることで、R a m b u s 信号を内層に配線する場合に比べ、一定のインピーダンス精度を出すことが容易であり、また、上述したような S O - R I M M ソケット 12 A, 12 B の背合わせ配置により、図 7 に示す従来構造に比べてトータルの配線長も短くすることができ、決められたインピーダンス ($28\Omega \pm 10\%$) の精度が必要な R a m b u s 信号のエリアを狭くできるので、よりパターン設計が容易になり、かつ安定した動作が期待できる。

【0038】

図 2 は本発明の第 2 実施形態に於ける実装構造を示す図であり、ここでもマザーボードを省略して示している。尚、図中、図 1 と同一部分には同一符号を付して、その説明を省略する。

【0039】

この第 2 実施形態では、S O - R I M M ソケット 12 A と S O - R I M M ソケット 12 B とを背合わせにし、そのソケット相互の間に、メモリコントローラ (MEM-CONT) 11 と、終端抵抗モジュール (RM) 14 を配置している。

【0040】

この図 2 に示す第 2 実施形態に於いても、メモリコントローラ (MEM-CONT) 11 から S O - R I M M ソケット 12 A、S O - R I M M ソケット 12 A から S O - R I M M ソケット 12 B、S O - R I M M ソケット 12 B から終端抵抗モジュール (RM) 14 のいずれのパターン配線 17, 18, 19 に於いても、S O - R I M M ソケット 12 A に実装される前段の S O - R I M M 13 A、及び S O - R I M M ソケット 12 B に実装される後段の S O - R I M M 13 B のエリア (S O - R I M M の少なくとも金属カバーのエリア) を R a m b u s 信号が通過しないため、S O - R I M M の金属カバー (図 5 参照) によるインピーダンス ($28\Omega \pm 10\%$) への影響を避けることができる。

【0041】

従って 4 層や 6 層の比較的成本の安い多層回路基板をマザーボードに用いることができ、装置全体のコスト低減が図れる。

【0042】

また、上記した実施形態の実装構造によれば、マザーボードの表層に R a m b u s 信号の各パターン配線 17, 18, 19 を設けることで、R a m b u s 信号を内層に配線する場合に比べ、一定のインピーダンス精度を出すことが容易であり、パターン設計が容易になるとともに、安定した動作が期待できる。更にこの第2実施形態に於いては、一定のインピーダンス精度が必要な R a m b u s 信号を基板の表層に、直線的に配線できるため、マザーボード上でのインピーダンス制御も、より容易にできる。

【0043】

次に、図3及び図4を参照して本発明の第3実施形態を説明する。

【0044】

上記した各実施形態がそれぞれマザーボードの同一面（一方面）に複数（実施形態では2つ）の S O - R I M M を配置する構成であったが、この第3実施形態に於いては、3つの S O - R I M M のうちの、一つの S O - R I M M を異なる面（他方面）に配置した構造を例示している。尚、図中、図1と同一部分には同一符号を付して、その説明を省略する。

【0045】

この図3及び図4に示す第3実施形態に於いては、第1（第1段）の S O - R I M M 13A と、第2（第2段）の S O - R I M M 13B とが、マザーボード40を挟んで向き合う形で同位置に配置されるように、マザーボード40の両面に S O - R I M M ソケット 12A, 12B が設けられ、S O - R I M M ソケット 12A と背合わせになるように、第3（第3段）の S O - R I M M 13C を実装する S O - R I M M ソケット 12C が設けられる。この際、第1（第1段）の S O - R I M M 13A を実装する S O - R I M M ソケット 12A と、第2（第2段）の S O - R I M M 13B を実装する S O - R I M M ソケット 12B との間はスルーホールを用いたパターン配線 18 により配線され、第2（第2段）の S O - R I M M 13B を実装する S O - R I M M ソケット 12B と、第3（第3段）の S O - R I M M 13C を実装する S O - R I M M ソケット 12C との間は当該ソケットが設けられた表層パターン及びスルーホールを用いたパターン配線 20 によ

り配線され、第3（第3段）のSO-RIMM13Cを実装するSO-RIMMソケット12Cと終端抵抗モジュール（RM）14との間は当該終端抵抗モジュール（RM）14の実装面に於いてパターン配線21により配線される。

【0046】

尚、ここでは、3つのソケットをすべてSO-RIMMソケットとしているが、上記3つのソケットのうち、その1つのソケットをSO-RIMMソケットではなく、CSP（Chip Size Package）としてマザーボードにオンボード実装してもよい。

【0047】

また、メモリコントローラ（MEM-CONT）11→SO-RIMMソケット12B→SO-RIMMソケット12A→SO-RIMMソケット12C→終端抵抗モジュール（RM）14に至るRambus信号路を形成してもよい。

【0048】

また、2つのSO-RIMMを実装する構成のメモリ装置に於いては、メモリコントローラ（MEM-CONT）11→SO-RIMMソケット12A→SO-RIMMソケット12B→終端抵抗モジュール（RM）14に至るRambus信号路を形成してもよい。

【0049】

何れの場合もRambus信号は、SO-RIMMソケットのSO-RIMMが実装されるエリアを通過しないように配線されるので、SO-RIMMの金属カバー（図5参照）によるインピーダンス（ $28\Omega \pm 10\%$ ）への影響を避けることができる。

【0050】

従って4層や6層の比較的コストの安い多層回路基板をマザーボードに用いることができ、装置全体のコスト低減が図れる。

【0051】

また、上記した実施形態の実装構造によれば、マザーボードの表層にRambus信号の各パターン配線17、18、20、21を設けることで、Rambus信号を内層に配線する場合に比べ、一定のインピーダンス精度を出すことが容

易であり、パターン設計が容易になる。

【 0 0 5 2 】

尚、上記した実施形態に於いては、マザーボードの同一面に2つのSO-RIMMを実装するメモリ構成を例示したが、これに限らず、マザーボードの同一面に3つまたはそれ以上の高速メモリモジュールを実装するメモリ構成に於いても適用できる。

【 0 0 5 3 】

【発明の効果】

以上詳記したように本発明によれば、メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一辺に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置を実現する際に、安価な多層回路基板構成でメモリバス信号を一定のインピーダンスを保ち高速メモリモジュール間で縦続接続できる高速メモリ装置、高速メモリ装置のソケット実装構造、及び高速メモリ装置の実装方法が提供できる。

【 0 0 5 4 】

また、本発明によれば、メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一辺に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置を実現する際に、多層回路基板の表層パターンを用いてインピーダンスの一定した複数ビット幅の高速信号を複数の高速メモリモジュール間で縦続接続でき、これにより、安価な多層回路基板構成にて安定した高速メモリ動作が行える高速メモリ装置、高速メモリ装置のソケット実装構造、及び高速メモリ装置の実装方法が提供できる。

【 0 0 5 5 】

また、本発明によれば、複数のSO-RIMMを用いて高速メモリ装置を実現する際に、コスト的に有利な層数の少ない安価なマザーボードを使用して、その表層に、決められた所定のインピーダンス精度が必要なRambus信号を配線し、SO-RIMMを実装してもマザーボード上のRambus信号パターンに

影響を与えることなく、安価な層構成のマザーボードで S O - R I M M を安定して動作させることができる、高速メモリ装置、高速メモリ装置のソケット実装構造、及び高速メモリ装置の実装方法が提供できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態に於ける装置の構成を示すブロック図。

【図 2】

本発明の第 2 実施形態に於ける装置の構成を示すブロック図。

【図 3】

本発明の第 3 実施形態に於ける装置の構成を示すブロック図。

【図 4】

上記図 3 に示す装置の R a m b u s 信号路を示すブロック図。

【図 5】

S O - R I M M の構成を示す図。

【図 6】

従来の複数 S O - R I M M 構成によるメモリ装置の構成を示す図。

【符号の説明】

1 1 …メモリコントローラ (MEM-CONT)

1 2 A, 1 2 B …S O - R I M M ソケット

1 3 A …前段 (第 1 段) の S O - R I M M

1 3 B …後段 (第 2 段) の S O - R I M M

1 3 C …第 3 (第 3 段) の S O - R I M M

1 4 …終端抵抗モジュール (RM)

1 5 …クロックジェネレータ (CLK-Gen)

1 6 …R a m b u s 用のクロック信号線

1 7, 1 8, 1 9, 2 0 …パターン配線

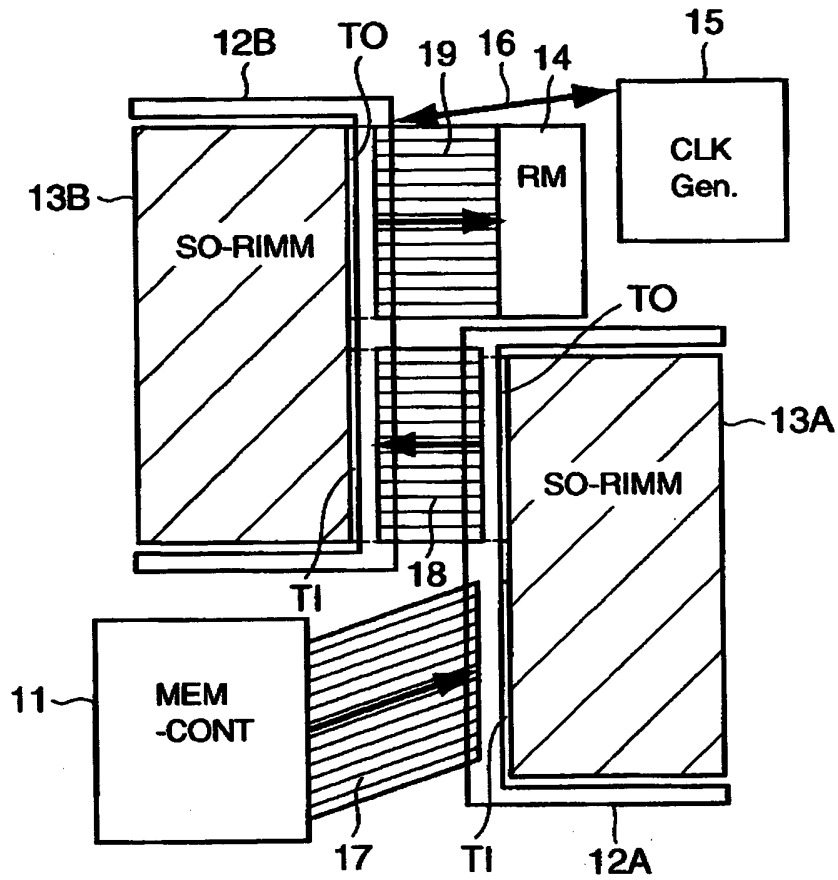
T I …コネクタの入力側端子

T O …コネクタの出力側端子

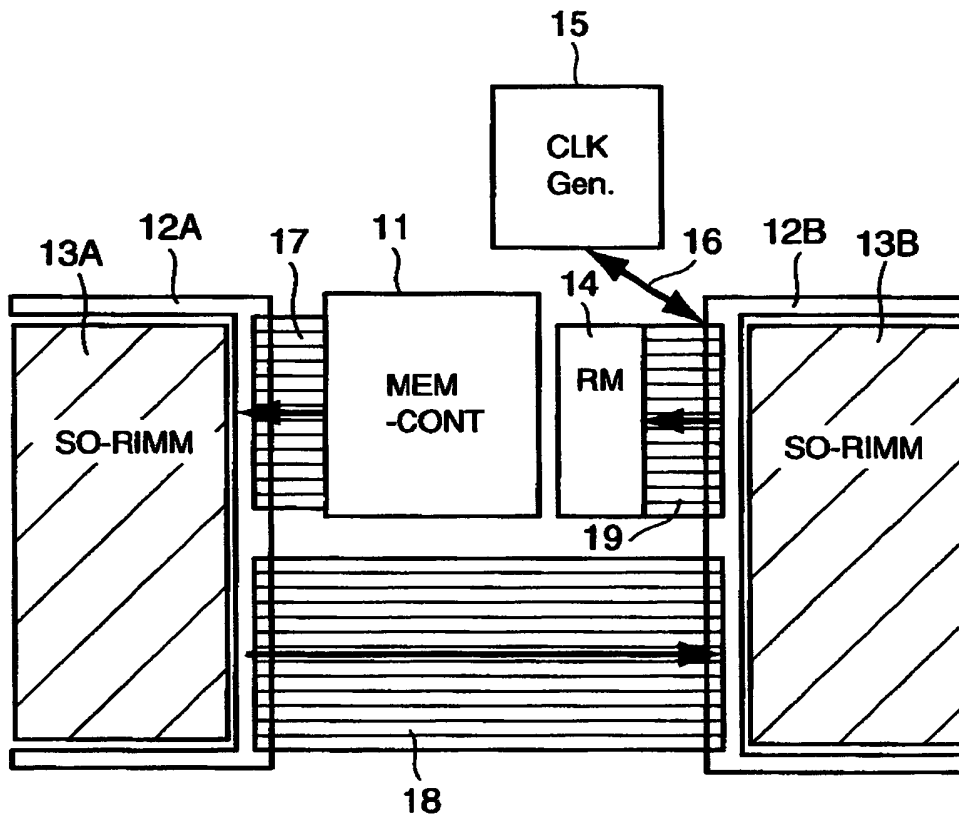
【書類名】

図面

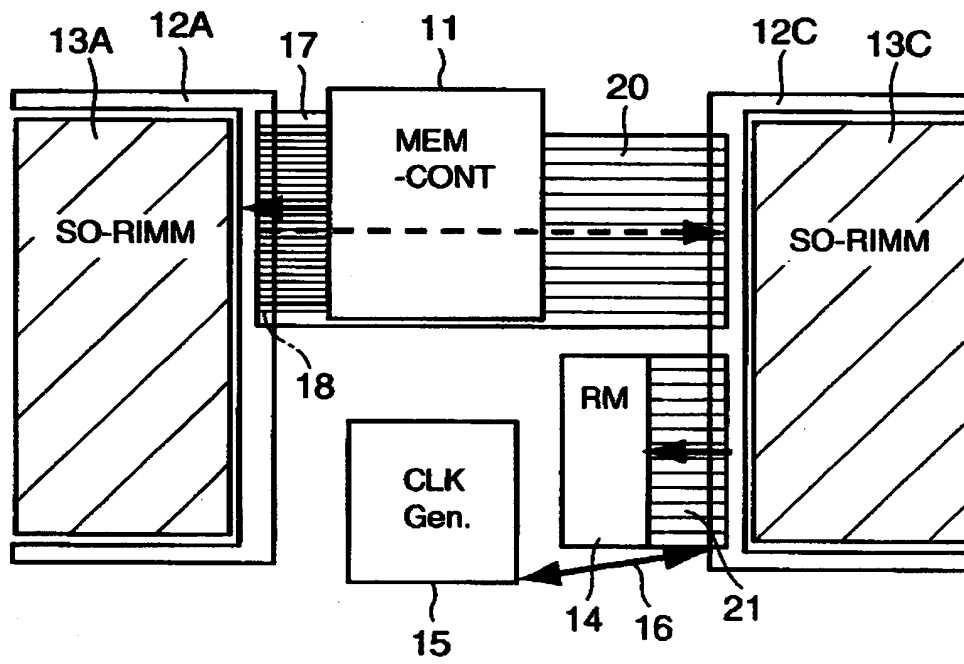
【図 1】



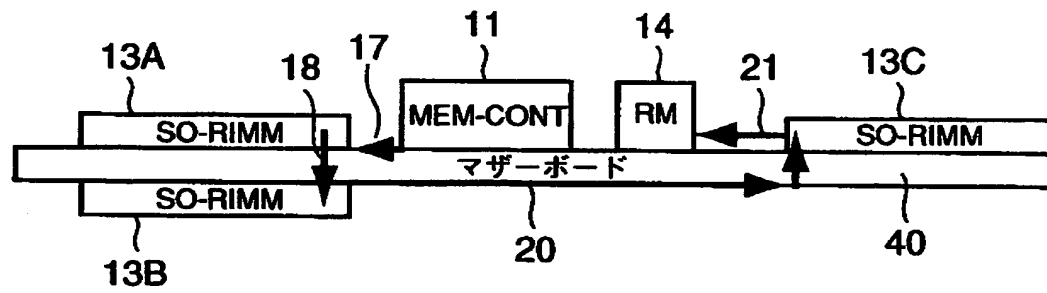
【図 2】



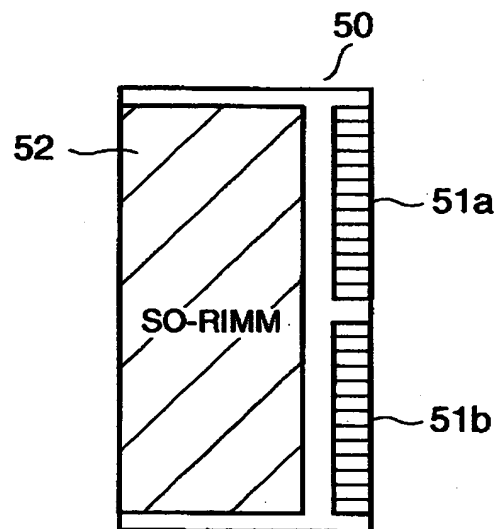
【図 3】



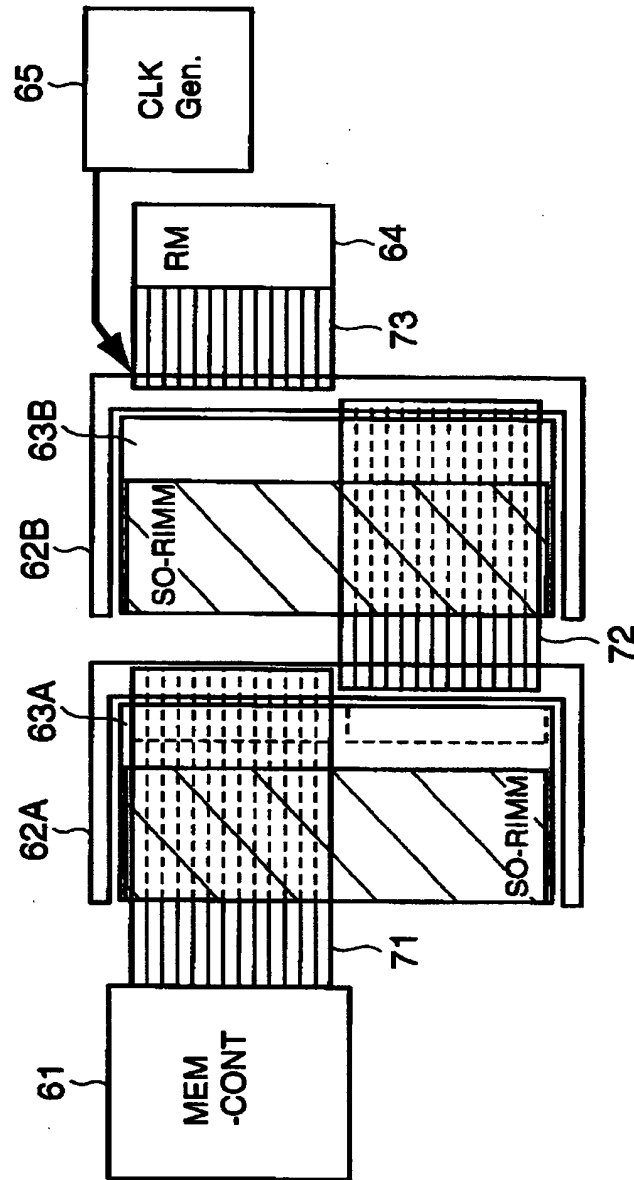
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】本発明は、メモリコントローラから終端抵抗に至る、インピーダンスがコントロールされた複数ビット幅の高速信号を扱う入力側端子と出力側端子を一边に並設したコネクタを有する扁平状の高速メモリモジュールを複数個接続してなる高速メモリ装置に於いて、安価な多層回路基板構成でメモリバス信号を一定のインピーダンスを保ち高速メモリモジュール間で縦続接続できる高速メモリ装置、高速メモリ装置のソケット実装構造、及び高速メモリ装置の実装方法を提供することを課題とする。

【解決手段】前段のSO-RIMM13Aに設けられたコネクタの出力側端子TOと、後段のSO-RIMM13Bに設けられたコネクタの入力側端子TIとが至近距離で対向するように、SO-RIMMソケット12A、及びSO-RIMMソケット12Bをマザーボード上に配置する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝